

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-231945

(43)Date of publication of application : 16.08.2002

(51)Int.Cl.

H01L 29/78  
H01L 21/3065  
H01L 21/324  
H01L 21/76  
H01L 27/12  
H01L 21/336

(21)Application number : 2001-029979

(71)Applicant : DENSO CORP

(22)Date of filing : 06.02.2001

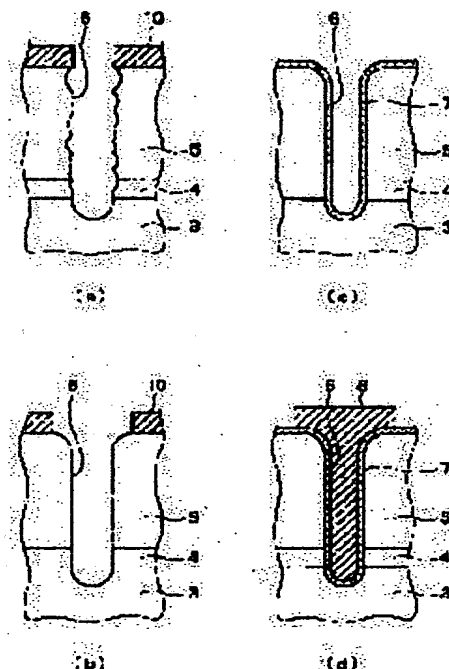
(72)Inventor : SHIBATA TAKUMI  
MORISHITA TOSHIYUKI

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To enable to obtain a high aspect ratio and to sufficiently reduce crystal defects near the inner wall of a trench.

**SOLUTION:** A power MOSFET has a trench gate structure wherein a gate electrode 8 is formed in a trench 6 via a gate oxide film 7. The power MOSFET is subjected to a hydrogen annealing process wherein a heat treatment is conducted in a hydrogen atmosphere after the trench is formed and before the gate oxide film 7 is formed. For example, a heat treatment is conducted between 1050° C and 1150° C. Consequently, crystal defects formed on the side wall surface of the trench or near the trench can be repaired without expanding the width of the trench and therefore a high aspect ratio is obtained. At the same time, generation of a leakage current in a PN junction can be prevented and, moreover, decline in the breakdown voltage of the gate oxide film 7 can be prevented.



## LEGAL STATUS

[Date of request for examination]

20.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-231945

(P2002-231945A)

(43) 公開日 平成14年8月16日 (2002.8.16)

(51) Int. CL <sup>7</sup>	識別記号	F I	テームド <sup>7</sup> (参考)	
H 0 1 L 29/78	6 5 3	H 0 1 L 29/78	6 5 3 A	5 F 0 0 4
	6 5 2		6 5 2 R	5 F 0 3 2
21/3065		21/324		X
21/324		27/12		F
21/76		21/302		N

審査請求 未請求 請求項の数10 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特開2001-29979(P2001-29979)

(22) 出願日 平成13年2月6日 (2001.2.6)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 桑田 巧

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72) 発明者 森下 敏之

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外2名)

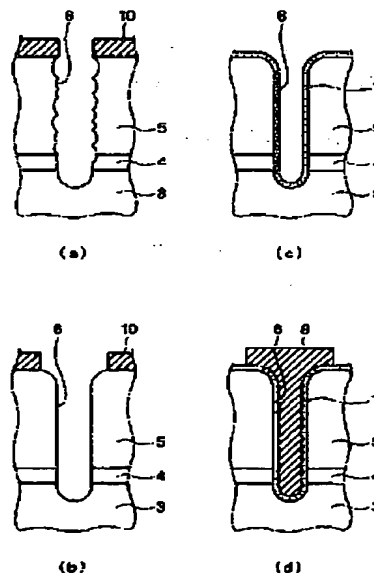
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 高アスペクト比が得られ、かつトレンチ内壁面近傍の結晶欠陥を十分低減できるようにする。

【解決手段】 トレンチ6内にゲート酸化膜7を介してゲート電極8を形成するトレンチゲート構造のパワーMOSFETにおいて、トレンチ形成後、ゲート酸化膜7の形成前に、水素雰囲気下で熱処理を施すという水素アニール処理を行う。例えば、1050℃以上かつ1150℃以下の温度で熱処理を行う。これにより、トレンチ幅を広げなくてもトレンチの側壁面やトレンチ近傍に形成された結晶欠陥を修復することができるため、高アスペクト比が得られると共に、PN接合部でのリーク電流の発生を防止することができ、さらにゲート酸化膜7の破壊耐圧の低下を防止することができる。



(2)

特開2002-231945

1

【特許請求の範囲】

【請求項1】 半導体層（3～5、31）を有する半導体基板（1、30）を用意し、前記半導体層にトレンチ（6）を形成したのち、前記トレンチ内壁に絶縁膜（7、34）を形成してなる半導体装置の製造方法において、

前記トレンチを形成したのち、水素雰囲気下での熱処理を行う水素アニール処理工程を有し、該アニール処理工程の後に前記ゲート絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項2】 半導体層（3～5）を有する半導体基板（1）を用意し、前記半導体層にトレンチ（6）を形成したのち、前記トレンチ内壁にゲート絶縁膜（7）を形成し、さらに該ゲート絶縁膜上にゲート電極（8）を形成することによって構成されるトレンチゲート型の半導体装置の製造方法において、

前記トレンチを形成したのち、水素雰囲気下での熱処理を行う水素アニール処理工程を有し、該アニール処理工程の後に前記ゲート絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項3】 前記水素アニール処理により、前記トレンチの入口側端部と底部の少なくとも一方の丸め処理を行うことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記トレンチを形成する工程では、該トレンチ形成予定領域が開口した第1マスク（10）を成膜したのち、この第1マスクを用いたエッチングを施すことによって前記トレンチを形成し、前記水素アニール処理工程では、前記第1マスクよりも開口幅が広げられた第2マスク（20）を用いて前記水素雰囲気下での熱処理を行うことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記マスクの開口端の後退量を制御することにより、前記トレンチの入口側端部の方が底部よりも曲率半径が大きくなるように設定することを特徴とする請求項3又は4に記載の半導体装置の製造方法。

【請求項6】 前記第1マスクの開口端を後退させることで前記第2マスクを形成することを特徴とする請求項3ないし5のいずれか1つに記載の半導体装置の製造方法。

【請求項7】 前記水素アニール処理工程の前に、前記トレンチの内壁面をフッ硝酸やドライエッチングもしくは酸化により部分的に等方性エッチングすることを特徴とする請求項1ないし6のいずれか1つに記載の半導体装置の製造方法。

【請求項8】 前記水素アニール処理工程の後に、前記トレンチの内壁面をフッ硝酸やドライエッチングもしくは酸化により部分的に等方性エッチングすることを特徴とする請求項1ないし6のいずれか1つに記載の半導体装置の製造方法。

2

【請求項9】 前記熱処理工程では、熱処理温度を1050℃以上かつシリコンの溶融温度以下に設定することを特徴とする請求項1ないし8のいずれか1つに記載の半導体装置の製造方法。

【請求項10】 前記熱処理温度を1150℃以上に設定することを特徴とする請求項9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は、半導体基板にトレンチを形成し、このトレンチ内にゲート電極を形成したり、若しくはエピタキシャル層を成長したりして構成される半導体装置の製造方法に関するもので、例えば、トレンチ内にゲート電極が形成されるトレンチゲート型のMOSFETやIGBT等に用いて好適である。

【0002】

20 【従来の技術】トレンチ内にゲート電極を形成するMOSFETやIGBT等のトレンチゲート型の半導体装置では、RIE（ドライエッチング）によってトレンチを形成したのち、トレンチ内にゲート酸化膜を形成し、このゲート酸化膜を介してトレンチ内にポリシリコン層を充填することでゲート電極を形成している。

30 【0003】そして、上記トレンチゲート形成時に、トレンチ側壁面や基板内部のうちのトレンチ近傍に結晶欠陥が形成され、この結晶欠陥が様々な問題の要因となることから（例えば、結晶欠陥がPN接合付近に存在した場合にはリーク電流を発生させ、ゲート酸化膜の近傍に存在した場合にはゲート酸化膜の破壊耐圧を低下させる）、従来では、トレンチ形成後に犠牲酸化を行ったり、CDE（Chemical Dry Etching）やフッ硝酸エッチング等の等方性エッチングを行ったりすることで結晶欠陥の低減を図っている。

【0004】

40 【発明が解決しようとする課題】しかしながら、犠牲酸化もしくはCDEやフッ硝酸エッチング等の等方性エッチングでは、実験により結晶欠陥を十分低減できないことが分かった。また、これらの従来方法ではトレンチ側方向にもエッチングが行われることになるため、トレンチ幅増大によってアスペクト比が低下すると共に、セルピッチの増大を生じさせて素子の微細化を困難にさせるという問題がある。

【0005】本発明は上記点に鑑みて、アスペクト比を低下させることなく、かつ結晶欠陥を十分低減できる半導体装置の製造方法を提供することを目的とする。

【0006】

50 【課題を解決するための手段】上記目的を達成するため、本発明者らが結晶欠陥低減について検討したところ、水素アニールが有効であることが確認された。具体的には、水素アニールの温度を高温とすることで、結晶欠陥が低減されることが分かった。

(3)

特開2002-231945

3

【0007】図9に水素アニールの温度と結晶欠陥密度との関係を示す。この図から、水素アニール温度が950℃以上の高温になると結晶欠陥密度が低下し始め、1050℃以上になるとかなり結晶欠陥密度が低下し、さらに1150℃以上になると結晶欠陥密度がほぼ零になるまで低下していることが分かる。

【0008】一般的に従来より行われている水素アニールは、基板表面に形成された凹凸を平坦化するために実施され、その温度は850～1100℃程度とされているが（特開平11-74483号公報参照）、トレンチ形成後に水素アニールを行うことで結晶欠陥密度を低減することが可能となることが確認された。

【0009】そこで、請求項1に記載の発明では、半導体層（3～5、31）を有する半導体基板（1、30）を用意し、半導体層にトレンチ（6）を形成したのち、トレンチ内壁に絶縁膜（7、34）を形成してなる半導体装置の製造方法において、トレンチを形成したのち、水素雰囲気下での熱処理を行う水素アニール処理工程を有し、該アニール処理工程の後にゲート絶縁膜を形成することを特徴としている。

【0010】このように、トレンチ形成後に水素アニール処理を行うことで、トレンチ幅を広げなくてもトレンチの側壁面やトレンチ近傍に形成された結晶欠陥を修復することができるため、高アスペクト比が得られると共に、リーク電流の発生を防止することができる。また、請求項2に示すようにトレンチ内にゲート絶縁膜（7）を介してゲート電極（8）を形成する場合には、ゲート絶縁膜の破壊耐圧低下を防止することもできる。

【0011】例えば、この水素アニール処理の熱処理温度は、請求項9に示すように熱処理温度を1050℃以上かつシリコンの溶融温度以下に設定される。好ましくは、請求項10に示すように、熱処理温度を1150℃以上に設定すると、水素アニールによる効果大きい。

【0012】請求項3に記載の発明では、水素アニール処理時にトレンチの入口側端部や底部の少なくとも一方を丸め処理することを特徴とする。このようにすれば、トレンチの尖った部分が丸められ、尖った部分に生じ得る電界集中の発生を防止することができる。

【0013】この場合、請求項5に示すように、マスクの開口端の後退量を制御することにより、トレンチの入口側端部の方が底部よりも曲率半径が大きくなるように設定するのが好ましい。従来では、トレンチゲート形成方法として、トレンチ形成後、ゲート酸化を行い、ゲート電極となるポリシリコンをトレンチ内に埋め込んだのち、ポリシリコンをシリコン表面以下までエッチバックし、さらに、熱酸化を行うという方法が用いられている。しかしながら、この方法では、ポリシリコンをシリコン表面以下までエッチバックした領域と、エッチバックされていない領域とがあることから、エッチバックされた領域がポリシリコンで覆われていないために熱酸化

4

され、酸化膜厚が厚くなってしまふ。この結果、エッチバックされていない領域の薄い酸化膜で耐圧が決まるといった問題があった。これに対し、請求項5に示すように曲率半径を設定すれば、熱酸化膜を形成するのみで、トレンチ開口部における酸化膜厚を厚くすることができ、上記問題を解決することができる。

【0014】例えば、請求項4に示すように、トレンチを形成する工程では、該トレンチ形成予定領域が開口した第1マスク（10）を成膜したのち、この第1マスクを用いたエッチングを施すことによってトレンチを形成し、水素アニール処理工程では、第1マスクよりも開口幅が広げられた第2マスク（20）を用いて水素雰囲気下での熱処理を行う。このように、第1マスクよりも開口幅が広げられた第2マスクを用いることで、請求項3に示すような丸め処理が行われる。

【0015】請求項6に記載の発明においては、第1マスクの開口端を後退させることで第2マスクを形成することを特徴としている。これにより、第2マスクの製造工程の簡略化を図ることができる。

【0016】請求項7や請求項8に記載の発明では、水素アニール処理工程の前もしくは後に、トレンチの内壁面をフッ酸やドライエッチングもしくは格状酸化により部分的に等方性エッチングすることを特徴としている。このように、他の方法と水素アニール処理を併用することにより、水素アニール処理時間を短くでき、水素アニール処理によってトレンチが逆テーパ形状となることを防止でき、逆テーパ形状のトレンチ内を充填材料で埋め込んだ際に生じ得る「す」の発生を防止することができる。

【0017】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0018】

【発明の実施の形態】（第1実施形態）本発明の一実施形態が適用されて形成されたトレンチゲート型のパワーMOSFETを図1に示し、この図に基づいて本実施形態におけるパワーMOSFETの製造方法を説明する。

【0019】本実施形態に示す半導体装置としてのパワーMOSFETには、主表面1a及び主表面1aに対して反対面となる裏面1bを有するn<sup>+</sup>型基板1が用いられている。この図の矢印で示すX方向がn<sup>+</sup>型基板1の厚み方向（主表面1a及び裏面1bに対して垂直な方向）に対応しており、図の矢印で示すY方向及びZ方向がn<sup>+</sup>型基板1の主表面1a及び裏面1bと平行な方向に対応している。なお、図のX方向、Y方向、Z方向はそれぞれが互いに垂直を成している。

【0020】n<sup>+</sup>型基板1の主表面1aから所定深さまでトレンチ2が形成されており、このトレンチ内にn<sup>+</sup>型ドリフト層3が埋め込まれている。また、n<sup>+</sup>型ドリフト層3内の所定領域には、n<sup>+</sup>型基板1の主表面1a

(4)

特開2002-231945

5

から所定深さまでp型ベース領域（p型ウェル領域）4が形成されている。このp型ベース領域4の深さは例えば15μm以上とされるが、若干n型ドリフト層3よりも浅くされている。

【0021】また、p型ベース領域4内において、n型基板1の主表面1aからp型ベース領域4よりも接合深さが浅い位置までn型ソース領域5が形成されている。このn型ソース領域5の深さは15μm以上とされるが、若干p型ベース領域4よりも浅くされている。

【0022】さらに、n型基板1の主表面1aから垂直に、つまりX方向に略平行にトレンチ6が掘られていて、このトレンチ6は、n型基板1の主表面1aと平行をなすY方向及びトレンチ5の深さ方向と平行をなすX方向の両方向において、n型ソース領域5からp型ベース領域4を貫通するように形成されている。このトレンチ6の表面にはゲート酸化膜7が形成されており、このゲート酸化膜7を介してトレンチ6の内部がゲート電極8で埋め込まれた構成となっている。これらのゲート電極構造は図中Z方向に複数個形成されている。

【0023】そして、n型基板1の主表面1a側に、ゲート電極に接続されるゲート配線やn型ソース領域5およびp型ベース領域4に接続されるソース電極が形成され、裏面1b側に、ドレイン領域となるn型基板1に接続されるドレイン電極が形成されている。このようにして本実施形態におけるパワーMOSFETが構成されている。

【0024】このように構成されるパワーMOSFETは、例えば、n型基板1の主表面1a側に形成したトレンチ2内が埋め込まれるようにn型ドリフト層3となるn型層、p型ベース領域4となるp型層およびn型ソース領域5となるn型層を順にエピタキシャル成長させたのち、n型基板1の主表面1aが露出するまでn型層、p型層およびn型層をエッチバックし、その後、主表面1a側からのエッチングでトレンチ6を形成すると共にトレンチ6内にゲート酸化膜7およびゲート電極8を形成することで製造される。これらの製造工程のうちのトレンチ6の形成工程時に、本発明の一実施形態となる製造方法を用いている。この製造方法を表した工程図を図2に示し、図2に基づいてトレンチ6の形成工程の詳細を説明する。

【0025】（図2（a）に示す工程）まず、n型基板1の主表面1a側にマスク10を配置し、トレンチ6の形成予定領域においてマスク10を開口させる。続いて、例えばマスク10の開口部を通じてドライエッチングを所定深さまで進めたのち、一旦ドライエッチングを止め、形成されたトレンチ6の側壁面にエッチング保護膜を形成する。例えば酸化膜を成膜する。そして、再びドライエッチングを進めてトレンチ6の底部を深くしていき、所定深さまで達すると再びドライエッチングを止め、再びトレンチ6の側壁面にエッチング保護膜を成膜する。この

6

後、上記と同様の手法によってドライエッチングを繰り返し、最後にエッチング保護膜を除去することで、高アスペクト比のトレンチ6が形成される。

【0026】（図2（b）に示す工程）マスク10の開口部の端部を後退させる。つまり、開口部の開口幅を広げる。その後、水素アニール気下において加熱処理を行い、水素アニールを施す。例えば、1150℃以上かつシリコンの熔融温度以下で300sec程度の時間水素アニールを施す。この水素アニールにより、上述したようにトレンチ6の側壁面やトレンチ近傍に形成された結晶欠陥が修復され、結晶欠陥密度が低減される。

【0027】このため、従来のようにトレンチ幅を広げること無く結晶欠陥が低減され、高アスペクト比のトレンチ6とすることができ、そして、p型ベース領域4およびn型ソース領域5によって構成されるPN接合部の近傍や後工程で形成するゲート酸化膜7の近傍における結晶欠陥も低減されるため、リーク電流の発生を防止できると共に、ゲート酸化膜7の破壊耐圧の低下を防止することができる。

【0028】一方、この水素アニールにより、トレンチ6の内壁に形成された凹凸の平坦化も成される。この水素アニールによるトレンチ内壁の表面粗さ（凹凸量）Raの低減も水素アニールの温度に依存することが確認されており、図3に示す実験結果が得られている。この図に示されるようにトレンチ内壁の表面粗さRaは約950℃以上の水素アニール処理によって処理前よりも小さくされる。このため、本工程の温度下での水素アニール処理を行うことで、十分にトレンチ内壁の表面粗さRaを平坦化することができる。

【0029】さらに、水素アニール処理前にマスク10を後退させているため、この水素アニール処理により、トレンチ内壁の尖った部分、すなわちトレンチ6の入口側端部および底部が丸められ、その部分における曲率半径が大きくなることになる。このため、尖った部分が形成されている場合には後工程で形成するゲート酸化膜7が局所的に薄膜化してしまう場合があったが、本実施形態では、このようなゲート酸化膜7の薄膜化を防止することができる。このため、ゲート酸化膜7の耐圧向上を図ることができる。

【0030】なお、このとき丸められた部分の曲率半径は、水素アニール処理時のマスク幅によって調整される。図4に水素アニール処理時のマスク幅と曲率半径との関係を示した図表を示す。この図の紙面左側から右側に示したように、トレンチ6を形成したのち、マスク10を後退させ、その後、水素アニール処理を施すという順序で各製造工程が進められることになるが、マスク10の後退量を大きくしてマスク幅を大きくした場合には曲率半径が大きくなり、逆にマスク10の後退量を小さくしてマスク幅を小さくした場合には曲率半径が小さくなる。このため、マスク10の後退量に応じて上記曲率

(5)

特開2002-231945

7

8

半径を制御することができる。

【0031】図2(c)に示す工程]マスク10を除去したのち、熱酸化によりゲート酸化膜7を形成する。その後、ゲート酸化膜7を介してトレンチ6内をポリシリコン膜で埋め込んだのち、ポリシリコン膜をパターニングすることでゲート電極8を形成する。これにより、トレンチ6内にゲート電極8を配置したパワーMOSFETが形成される。

【0032】以上説明したように、トレンチ6の形成工程時に水素アニール処理を施すことで、トレンチ6の側壁面やトレンチ近傍に形成された結晶欠陥を修復することができるため、リーク電流の発生を防止することができる。また、ゲート酸化膜7の破壊耐圧低下を防止することができる。また、従来と比べてトレンチ6を高アスペクト比にすることができる。実験により確認したところ、トレンチエッチング後の処理を水素アニール、フッ酸、CDE、犠牲酸化の各処理で行った場合、トレンチ側壁の凹凸は、それぞれ図5に示す結果となった。この実験結果からも分かるように、従来のようにフッ酸やCDEもしくは犠牲酸化で行った場合と比べて、本実施形態のように水素アニールで行った場合の方がトレンチ幅の広がり量を大きくしなくても、すなわちアスペクト比を低下させることなくトレンチ側壁の凹凸残りを低減することが可能となる。

【0033】(第2実施形態)第1実施形態では、トレンチ形成後に水素アニール処理のみを施すことで結晶欠陥を除去しているが、この場合、以下のような不具合が発生する可能性がある。この不具合を図6に示す水素アニール処理の模式図を用いて説明する。

【0034】図6(a)に示すようにマスク10を用いてトレンチ6を形成したのち水素アニール処理を施すと、水素アニール処理時間が長くなって、図6(b)に示すようにトレンチの底部の幅が入り口の幅よりも広がった形状、つまりトレンチ側壁面が逆テーパ形状となる場合がある。このような場合、トレンチ6内をゲート電極7で埋め込むと、トレンチ6内に「す」と呼ばれる空洞部が形成されてしまう。このような「す」が形成されると、ゲート電極7のパターニング時に「す」の部分で過剰エッチングが成される等の不具合が生じ、好ましくない。

【0035】このため、水素アニール処理前に、フッ酸やCDEもしくは犠牲酸化を行うことである程度の結晶欠陥を除去しておいたのち、水素アニール処理を行うようにすることで、水素アニール処理時間を短くでき、上記「す」が形成されることを防止することができる。

【0036】なお、本実施形態においては、従来と同様にトレンチ内壁面をフッ酸やCDEもしくは犠牲酸化によって除去することになるが、あくまで結晶欠陥の一部を除去する程度であり、多少トレンチ幅が増加し得るが従来と比べれば十分にトレンチ幅の増加量は小さいも

のとなる。

【0037】(第3実施形態)上記第1、第2実施形態では、図1に示すようにパワーMOSFETにおけるゲート電極7を充填するためのトレンチ6において水素アニール処理を施す場合について説明したが、本実施形態では、ゲート電極7とは異なる場所に形成するトレンチに水素アニール処理を施す場合を説明する。

【0038】図7に、本実施形態におけるパワーMOSFETの斜視断面図を示す。この図に示されるパワーMOSFETは、p型ベース領域4の深さ方向に延設されたp型埋め込み層が形成されていることが第1実施形態に示すパワーMOSFETと異なる。なお、この他の構成については第1実施形態に示すパワーMOSFETと同様であるため、図1と同じ符号を付してある。

【0039】p型埋め込み層は、例えば、n型ドリフト層3、p型ベース領域4およびn型ソース領域5を形成したのちに、p型ベース領域4にトレンチを形成し、このトレンチ内を埋め込むようにp型層を成膜することで形成される。このp型埋め込み層を形成するためのトレンチ形成時に、第1、第2実施形態で示した水素アニールを施すことができ、これにより、トレンチ近傍に形成される結晶欠陥を低減することが可能となる。

【0040】このようなp型埋め込み層はp型ベース領域4およびn型ソース領域5によって形成されるPN接合部の界面に接するように配置されたり、その近傍に形成されることから、上記したように結晶欠陥を低減することでPN接合部におけるリーク電流の発生を防止することができる。

【0041】(第4実施形態)本実施形態では、SOI基板における素子分離用トレンチの形成工程において本発明の一実施形態を適用する場合について説明する。

【0042】図7にSOI基板30を用いた素子分離工程を示す。図7(a)に示されるように、SOI基板30は、素子形成が成される活性層31と基板32とが埋め込み酸化膜33によって貼り合わされて構成されている。このような構成のSOI基板30の活性層31に対してエッチングを行うことで、図7(b)に示すような埋め込み酸化膜33に達するトレンチ34を形成したのち、熱酸化膜やポリシリコン層を成膜することで図7

(c)に示すようにトレンチ34内を絶縁膜35で埋め込み、SOI基板30による素子分離が成される。

【0043】このような素子分離用トレンチ34の形成工程において、上記第1、第2実施形態で示したような水素アニール処理を施すことができる。これにより、トレンチ側壁面や活性層内部のうちのトレンチ近傍に形成された結晶欠陥を低減することができ、結晶欠陥に起因したリーク電流の発生を防止できると共に、素子分離耐圧低下を防止することができる。

【0044】(他の実施形態)上記第2実施形態では水

(5)

特開2002-231945

9

10

素アニール処理の前にフッ硝酸やCDEもしくは塩化酸による等方性エッチングを行っているが、水素アニール処理の後に行っても構わない。

【0045】また、上記実施形態ではマスク10の開口端を後退させることによって、マスク10の入口側の開口幅を広げるようにしているが、マスク10を除去したのち、このような開口幅のマスク（第2のマスク）を配置するようにしてもよい。

【0046】また、上記実施形態ではトレンチゲート型の半導体装置としてチャネルが深さ方向に形成されるパワーMOSFETを例に挙げて説明したが、図1のn<sup>+</sup>型基板1をp<sup>+</sup>型に変更することで構成されるIGBT、溝ゲートの縦型パワーMOSFETやIGBT等に適用することも可能である。

【図面の簡単な説明】

【図1】本発明の第1実施形態におけるパワーMOSFETの斜視断面を示す図である。

【図2】図1に示すパワーMOSFETの製造工程を示す図である。

【図3】水素アニール温度と表面粗さRaとの関係を示す図である。

\*した図である。

【図4】マスク10の後退量と曲率半径との関係を示した図である。

【図5】トレンチ幅広がり量とトレンチ側壁の凹凸残り量との関係を示した図である。

【図6】第2実施形態におけるパワーMOSFETの製造工程を示す図である。

【図7】第3実施形態におけるパワーMOSFETの斜視断面を示す図である。

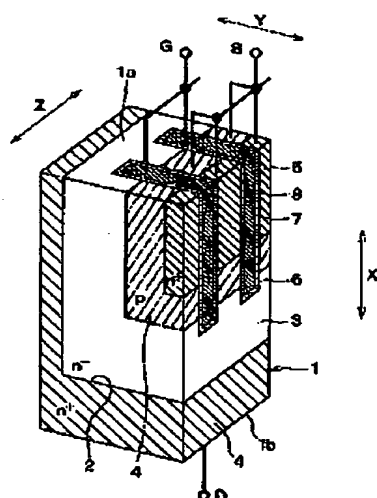
10 【図8】第4実施形態におけるSOI基板30の素子分離工程を示す図である。

【図9】本発明者らが実験により求めた水素アニール温度と結晶欠陥密度との関係を示す図である。

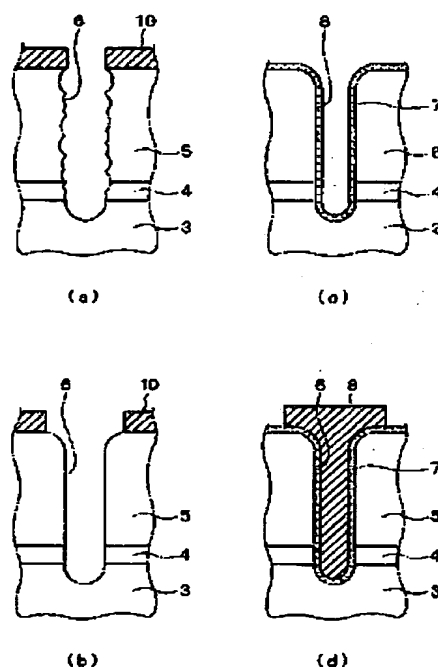
【符号の説明】

1…n<sup>+</sup>型基板、3…n<sup>+</sup>型ドリフト層、4…p型ベース領域、5…n<sup>+</sup>型ソース領域、6…トレンチ、7…ゲート酸化膜、8…ゲート電極、10…マスク、20…p<sup>+</sup>型埋め込み層、30…SOI基板、33…トレンチ、34…絶縁膜。

【図1】



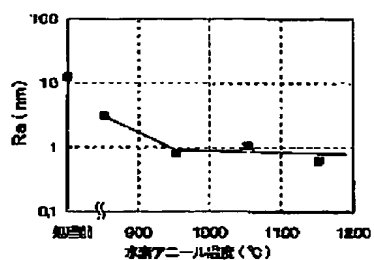
【図2】



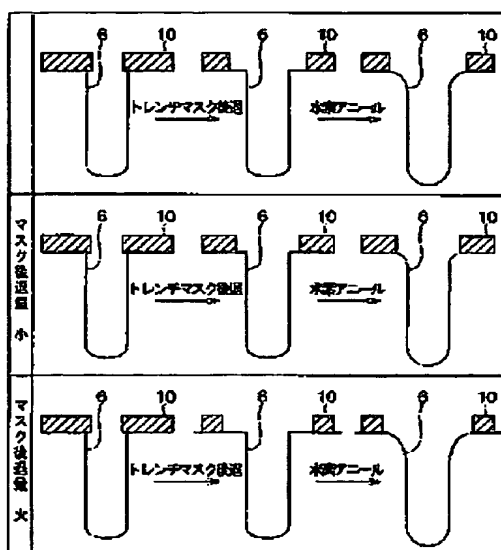
(7)

特開2002-231945

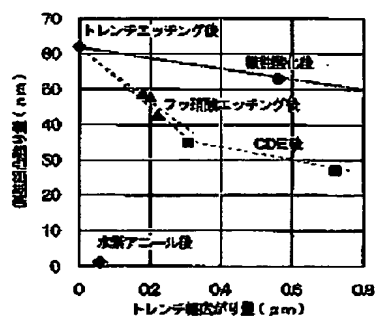
【図3】



【図4】

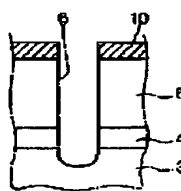


【図5】

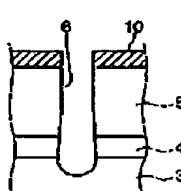


【図6】

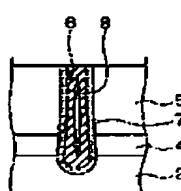
(a)



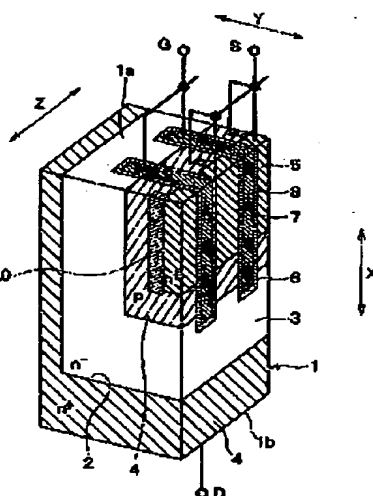
(b)



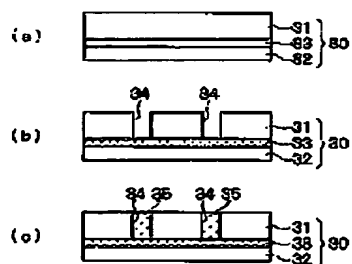
(c)



【図7】



【図8】

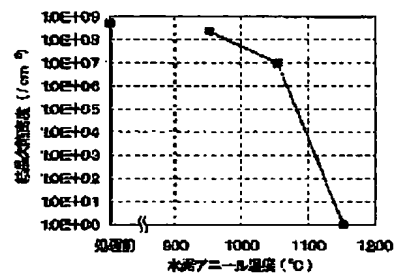




(8)

特開2002-231945

【図9】



フロントページの続き

(51)Int.Cl.

識別記号

F1

特許 (参考)

H01L 27/12

H01L 21/76

L

21/336

29/78

658G

Fターム (参考) 5F004 AA07 DA24 DB01 EB04 EB05

FA01

5F032 AA06 AA09 AA35 AA36 AA37

AA39 AA45 AA47 CA17 DA26

DA41 DA74